

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re Application of: Wang

Group Art Unit: Unassigned

Serial No.: Unassigned

Examiner: Unassigned

Filed: September 15, 2003

Docket No. 250317-1060

For: **Thin Film Transistor Structure And Method
Of Manufacturing The Same**

**CLAIM OF PRIORITY TO AND
SUBMISSION OF CERTIFIED COPY OF REPUBLIC OF CHINA APPLICATION
PURSUANT TO 35 U.S.C. §119**

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450


Sir:

In regard to the above-identified pending patent application and in accordance with 35 U.S.C. §119, Applicant hereby claims priority to and the benefit of the filing date of Republic of China patent application entitled, "Thin Film Transistor Structure And Method Of Manufacturing The Same", filed September 18, 2002, and assigned serial number 91121395. Further pursuant to 35 U.S.C. §119, enclosed is a certified copy of the Republic of China patent application

Respectfully Submitted,

**THOMAS, KAYDEN, HORSTEMEYER
& RISLEY, L.L.P.**

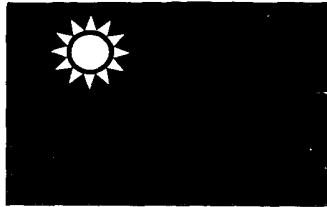
By:



Daniel R. McClure, Reg. No. 38,962

100 Galleria Parkway, Suite 1750
Atlanta, Georgia 30339
770-933-9500

082205



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申 請 日：西元 2002 年 09 月 18 日
Application Date

申 請 案 號：091121395
Application No.

申 請 人：奇美電子股份有限公司
Applicant(s)

局 長
Director General

蔡 練 生

發文日期：西元 2003 年 1 月 14 日
Issue Date

發文字號：09220026550
Serial No.

申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	薄膜電晶體之結構及其製程方法
	英 文	
二、 發明人	姓 名 (中文)	1. 王程麒
	姓 名 (英文)	1. Cheng-Chi Wang
	國 籍	1. 中華民國
	住、居所	1. 台南縣永康市竹園一街45-16號
三、 申請人	姓 名 (名稱) (中文)	1. 奇美電子股份有限公司
	姓 名 (名稱) (英文)	1. CHI MEI Optoelectronics Corp.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 台南縣台南科學工業園區新市鄉奇業路1號
	代表人 姓 名 (中文)	1. 許文龍
	代表人 姓 名 (英文)	1.



四、中文發明摘要 (發明之名稱：薄膜電晶體之結構及其製程方法)

本發明提供一種藉由避免光電流之產生而提高液晶顯示器的品質，以及減少所需光罩之製程方法而節省製程成本。其係分別利用一由閘極層、絕緣層、非晶矽層以及歐姆接觸層所組成之堆疊結構達成；以及以堆疊結構為遮罩，並自基材的背面進行曝光完成。

英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

【發明領域】

本發明是有關於一種薄膜電晶體的結構及其製程方法，特別是有關於一種能節省製程成本以及提高薄膜電晶體品質的結構及其製程方法。

【發明背景】

薄膜電晶體(TFT, thin film transistor)已大量應用於液晶顯示器的製造中，其傳統的製造方法將於第1圖至第5圖中說明如下。

請參考第1圖，其係為習知技術中一閘極形成於基材上之情形。首先，提供一基材100，且於基材100的上方沉積一閘極層110，並利用微影與蝕刻技術圖案化閘極層，以形成一閘極110。

請參考第2圖，其係顯示習知技術中一閘極絕緣層、一非晶矽層以及一歐姆接觸層形成於基材100上的情形。於閘極110形成之後，一閘極絕緣層120先形成於整個基材100之上，然後，一非晶矽層130與一歐姆接觸層140則依序沉積於閘極絕緣層120之上，並利用一形成於歐姆接觸層140之上，且具圖案的光阻層(未顯示於圖中)為遮罩，蝕刻歐姆接觸層140以及非晶矽層130，並去除其具圖案之光阻層，其結果如第2圖所示。

請參考第3圖，其係顯示習知技術中形成一汲極與一源極的情形。一金屬層先沉積於整個基材100之上，並利用微影與蝕刻製程，對金屬層進行圖案化的步驟，則於閘



五、發明說明 (2)

極上的金屬層中，形成一暴露非晶矽層130的開口，而與此同時，一汲極160與一源極165亦形成。

請參考第4圖，其係顯示習知技術中一保護層形成於基材100上的情形。一保護層170沉積於整個基材100之上並藉由微影與蝕刻步驟，形成一開口於保護層中，以暴露汲極160。

最後，請參考第5圖，其係顯示習知技術中形成一透明電極層的情形。一透明電極層180覆蓋於保護層之上，並填滿暴露至汲極160的開口，同樣的，再利用微影與蝕刻製程，圖案化透明電極層180，如第5圖所示。

上述薄膜電晶體的製程，共需要五道光罩，其分別顯示於第1圖至第5圖中，而在生產成本需降低的要求下，五道光罩的製程將無法滿足所需。

為降低成本，業界已發展出一種利用四道光罩製造薄膜電晶體之製程，其係結合第2圖與第3圖的圖案化過程為一道光罩製程而得，然而利用四道光罩製程所完成的薄膜電晶體結構具有下列之光電流的問題：由於位於基材下方的光源，提供液晶面板所需要的光線，然而，其光線直接照射非晶矽層產生光電流，使薄膜電晶體的OFF特性惡化，而影響液晶面板的品質。

【發明目的及概述】

有鑑於此，本發明的目的就是在提供一種可以降低光電流之產生與可以節省成本的結構及其製程方法。



五、發明說明 (3)

本發明首先形成複數個堆疊結構於一基材上，而複數個堆疊結構係依序由一第一導電層、一絕緣層、一非晶矽層及一歐姆接觸層所組成；接著，形成一具圖案之負型感光層(photo-imagable layer)於複數個堆疊結構之間，並暴露出歐姆接觸層；然後，沉積一第二導電層於具圖案之負型感光層與歐姆接觸層之上，並圖案化第二導電層與歐姆接觸層，以暴露部分非晶矽層，並形成一源極與汲極；最後，形成一保護層於非晶矽層與部份第二導電層之上，並形成一透明電極層於第二導電層上且覆蓋部分保護層，並與第二導電層電性連接。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

【較佳實施例】

本發明所提出的方法，係利用一包含閘極、絕緣層、非晶矽層與歐姆接觸層之堆疊結構，與一負型感光層(photo-imagable layer)，以達到僅以四道光罩步驟完成一不產生光電流的薄膜電晶體。本發明之第一實施例係於第6圖至第10圖中說明，本發明之第二實施例係於第11圖至第17圖中說明。

請參考第6圖，其係為本發明第一實施例中形成一堆疊結構之情形。首先，提供一基材200，並於基材200上依序沉積一閘極層、一絕緣層、一非晶矽層、一歐姆接觸層以及一光阻層(未顯示於圖中)；接著，利用曝光與顯影技



五、發明說明 (4)

術，形成具圖案之光阻層，且以該圖案化之光阻層為遮罩，蝕刻歐姆接觸層、非晶矽層、絕緣層與閘極層，並去除該光阻層，以得到一由閘極層210、絕緣層220、非晶矽層230與歐姆接觸層240所組成之堆疊結構，如第6圖所示。其中，閘極層210、絕緣層220與一歐姆接觸層240的組成可分別為金屬層、氮化矽層與摻雜磷離子的非晶矽層。

請參考第7圖，一負型感光層250塗覆於整個基材200之上，並覆蓋前述之堆疊結構的上表面，然後，以堆疊結構為遮罩，自基材200的背面進行曝光(如圖中之箭頭所示)，並進行顯影步驟，以去除位於堆疊結構上之負型感光層250，如第7圖所示。

接著，請參考第8圖，一導電層形成於負型感光層250以及歐姆接觸層240之上，並利用微影與蝕刻製程，圖案化導電層以及歐姆接觸層240，去除部分歐姆接觸層240而暴露出非晶矽層230，以形成一開口268於導電層之中，於此同時，具有導電性質的源極260與汲極265亦隨之形成。本發明之導電層可為一金屬層，例如：鉻、鉬、鋁、銅、鈦、鉭或鎢等。

請參考第9圖，一保護層270形成於負型感光層250之上，以填滿開口268，並利用微影與蝕刻製程，圖案化保護層270，而形成一可暴露汲極265或源極260的開口275於保護層270之中，如第9圖所示。其中，保護層270通常為一絕緣層，如二氧化矽或氮化矽層。



五、發明說明 (5)

請參考第10圖，一透明電極層280形成於保護層270之上，並填滿開口275，且利用微影與蝕刻製程，圖案化透明電極層280，形成如第10圖所示之情形，其中，透明電極例如由錫銦氧化物(ITO, indium-tin-oxide)所構成。

本發明之實施例僅需要四道光罩的製程，其係為第7圖之圖案化的過程係以堆疊結構為遮罩，並自基材200之背面曝光完成，此種省去一道光罩之製程，可節省許多製程上的成本。再者，當應用於液晶顯示器時，來自基材200背面的光線，不會直接照射於非晶矽層230而產生光電流。所以，得以提高本發明之液晶顯示器的品質。

接著，請參考第11圖至第17圖，其係說明本發明的第二實施例之製造流程。

Second Embodiment
首先，於第11圖中，一第一導電層作為一閘極層310、一絕緣層320、一非晶矽層330、一歐姆接觸層340以及一至少具有兩種厚度的光阻層(未顯示於圖中)，其中，具有兩種厚度的光阻層可以利用半色調光罩(half tone mask)完成。然後，利用曝光與顯影技術，形成具兩種厚度之圖案化的光阻層345a、345b，其結果係如第11圖所示，其中，光阻層345b的厚度較光阻層345a厚。

然後，以光阻層345a與光阻層345b為遮罩，蝕刻歐姆接觸層340、非晶矽層330、絕緣層320與閘極層310，以去除未被光阻層345a與光阻層345b所覆蓋之歐姆接觸層340、非晶矽層330、絕緣層320與閘極層310，其如第12圖所示。

接著，繼續上述之蝕刻步驟，由於光阻層345a的厚度

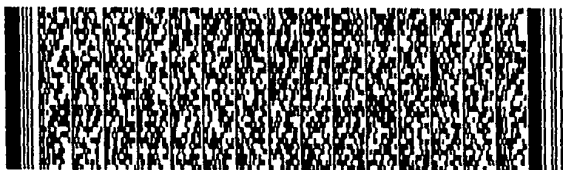


五、發明說明 (6)

較薄，因此，當光阻層345a被灰化(ashing)完後，其下的歐姆接觸層340以及非晶矽層330將利用蝕刻液被去除。而由於光阻層345b較厚，則一直保護著其下的歐姆接觸層340以及非晶矽層330，直至光阻層345a之下的歐姆接觸層340以及非晶矽層330完全被去除為止。最後，再利用灰化或剝除(stripping)光阻製程而去除多餘的光阻層345b，如第13圖所示。其中，第一堆疊結構係由閘極層310、絕緣層320、非晶矽層330與歐姆接觸層340所組成，而第二堆疊結構係由閘極層310以及絕緣層320所組成。此外，本發明之此步驟之蝕刻程度係依實際上的需求而定，光阻層345a之下的絕緣層320亦可被去除。

請參考第14圖，一負型感光層350塗覆於整個基材300之上，並覆蓋前述之第一堆疊結構與第二堆疊結構的上表面，然後，以堆疊結構為遮罩，自基材300的背面進行曝光(如圖中之箭頭所示)，並進行顯影步驟，以去除位於第一堆疊結構與第二堆疊結構上之負型感光層350，如第14圖所示。

接著，請參考第15圖，一第二導電層形成於負型感光層350以及歐姆接觸層340之上，並利用微影與蝕刻製程，圖案化導電層以及歐姆接觸層340，以形成一暴露非晶矽層330的開口368於導電層之中，於此同時，具有導電性質的源極360、汲極365與第二導電層365a亦隨之形成。本發明之導電層可為一金屬層，例如：鉻、鉬、鋁、銅、鈦、鉭或鎢等。



五、發明說明 (7)

請參考第16圖，一保護層370形成於負型感光層350之上，以填滿開口368，並利用微影與蝕刻製程，圖案化保護層370，而形成一可暴露汲極365或源極360、第二導電層365a與第一導電層310a的開口375、375a、375a'於保護層370之中，如第16圖所示。其中，保護層370通常為一絕緣層，如二氧化矽層或氮化矽層。

請參考第17圖，一透明導電層形成於保護層370之上，並填滿開口375、375a、375a'，且利用微影與蝕刻製程，圖案化透明導電層而形成一透明電極380a，一透明電極380a'係作為連接第一導電層310a與第二導電層365a之用，如第17圖所示。其中，透明電極係由錫銦氧化物(ITO, indium-tin-oxide)所構成。

另外第18A圖與第18B圖

請參照第18A圖與第18B圖，其係分別顯示一第一導電層310b與一第二導電層360c，分別經由透明導電層380b與透明導電層380c連接到驅動電路等外部電路。其中，需先進行保護層370的圖案化，接著，透明導電層380b與透明導電層380c係同時圖案化並定義完成。

從第11圖至第17圖所顯示之實施例，總共有五次圖案化之過程，其係分別於第13圖至第17圖之中完成，然而，第14圖之圖案化的過程並不需要光罩之製程，所以，本發明之第二實施例僅需要四道光罩的製程，而節省了製程上的成本。而當應用於液晶顯示器時，來自基材300背面的光線，不會直接照射非晶矽層330而產生光電流，所以，得以改善薄膜電晶體OFF的特性，提高本發明之液晶顯示



五、發明說明 (8)

器的品質。

縱上所述，利用減少了所需光罩之製程而節省製程成本，以及藉由避免光電流之產生而提高液晶顯示器的品質，即為本發明之主要的優點。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

【圖式之簡單說明】

第1圖至第5圖係顯示習知技藝薄膜電晶體之製造流程。

第6圖至第10圖，其係為本發明第一實施例薄膜電晶體之製造流程。

第11圖至第18B圖，其係顯示本發明第二實施例薄膜電晶體之製造流程。

【標號說明】

100, 200, 300 : 基材

110, 210, 310 : 閘極層

120, 220, 320 : 絕緣層

130, 230, 330 : 非晶矽層

140, 240, 340 : 歐姆接觸層

250, 350 : 負型感光層

268, 368 : 開口

160, 260, 360 : 源極

165, 265, 365 : 汲極

170, 270, 370 : 保護層

275, 375 : 開口

180, 280, 380a, 380a', 380b, 380c : 透明電極層

345a、345b : 光阻層



六、申請專利範圍

1. 一種薄膜電晶體的製造方法，形成於一基板上，該基材具有一第一面與一第二面，其方法至少包含：

形成複數個堆疊結構於該基材之該第一面上，該複數個堆疊結構係依序由一第一導電層、一絕緣層、一非晶矽層及一歐姆接觸層所組成；

形成一具圖案之負型感光層(photo-imagable layer)於該複數個堆疊結構之間，暴露出該歐姆接觸層；

形成一第二導電層於該具圖案之負型感光層與該歐姆接觸層上；

圖案化該第二導電層與該歐姆接觸層，以暴露部分該非晶矽層，並形成一源極與汲極；

形成一保護層於該非晶矽層與部份該第二導電層之上；以及

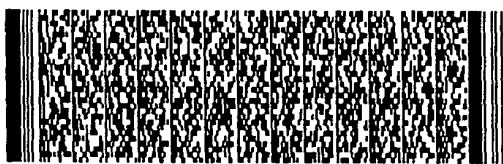
形成一透明電極層於該第二導電層上且覆蓋部分該保護層，並與該第二導電層電性連接。

2. 如申請專利範圍第1項所述之製造方法，其中該複數個堆疊結構係圖案化於一道光罩製程中。

3. 如申請專利範圍第1項所述之製造方法，其中該形成負型感光層的步驟係以該複數個堆疊結構為遮罩，並自該基材的第二面曝光完成。

4. 如申請專利範圍第1項所述之製造方法，其中該第一導電層係為閘極。

5. 如申請專利範圍第1項所述之製造方法，係應用於液晶顯示器中。



六、申請專利範圍

6. 一種薄膜電晶體的製造方法，形成於一基板上，該基材具有第一面與第二面，其方法至少包含：

形成一第一前堆疊結構與一第二前堆疊結構於該基材之第一面上，該第一前堆疊結構係為一第一導電層、一絕緣層、一非晶矽層、一歐姆接觸層以及一具有第一厚度之光阻層，該第二前堆疊結構係為該第一導電層、該絕緣層、該非晶矽層、該歐姆接觸層以及一具有第二厚度之光阻層，其中該第二厚度小於該第一厚度；

去除具有該第二厚度之該光阻層，暴露出該第二前堆疊結構；

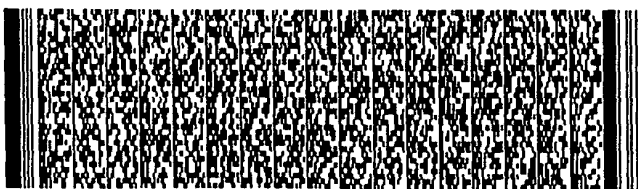
去除至少該第二前堆疊結構之該歐姆層與該非晶矽層，以形成一第一堆疊結構與一第二堆疊結構，該第一堆疊結構係由該第一導電層、該絕緣層、該非晶矽層與該歐姆接觸層所組成，該第二堆疊結構係至少由該第一導電層所組成；

形成一具圖案之負光阻層，該具圖案之負光阻層係分布於該第一堆疊結構與該第二堆疊結構之間，其係利用該第一堆疊結構與該第二堆疊結構為遮罩，並對該基材之第二面曝光完成；

形成一第二導電層於該具圖案之負光阻層、該第一堆疊結構與該第二堆疊結構之上；

圖案化該第二導電層以暴露部分該第一堆疊結構之非晶矽層；

形成一保護層以完全覆蓋該第一堆疊結構之非晶矽



六、申請專利範圍

層、該第二堆疊結構之第一導電層以及該第一堆疊結構之部份該第二導電層之上；以及

形成一透明電極層於該第一堆疊結構之第二導電層上，且覆蓋部分該保護層，並電性連接該第二導電層。

7. 如申請專利範圍第6項所述之製造方法，其中該第一堆疊結構與第二堆疊結構係圖案化於一道光罩製程中。

8. 如申請專利範圍第6項所述之製造方法，其中該形成負型感光層的步驟係以該第一堆疊結構與第二堆疊結構為遮罩，並自該基材的第二面曝光完成。

9. 如申請專利範圍第6項所述之製造方法，其中該第一導電層係為閘極。

10. 如申請專利範圍第6項所述之製造方法，係應用於液晶顯示器中。

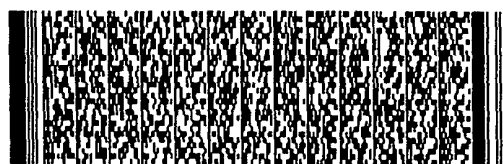
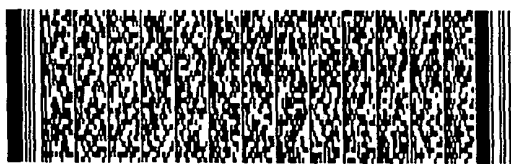
11. 一種薄膜電晶體，置於一基板上，該薄膜電晶體至少包含：

複數個堆疊結構於該基材上，該複數個堆疊結構係依序由一第一導電層、一絕緣層及一非晶矽層所組成；

一負型感光層(photo-imagable layer)，其係位於該複數個堆疊結構之間；

一源極與汲極區，其係位於該負型感光層之上，其中該源極/汲極區之一與該非晶矽層之一部份連接，該源極/汲極區之另一與該非晶矽層之另一部份連接；

一保護層，其係位於該非晶矽層與部份該源極與該汲極區之上；以及



六、申請專利範圍

一透明電極層，其係於該源極或汲極區之上，且覆蓋部分該保護層，並與該源極與汲極區之一電性連接。

12. 如申請專利範圍第11項所述之薄膜電晶體，其中該複數個堆疊結構係圖案化於一道光罩製程中。

13. 如申請專利範圍第11項所述之薄膜電晶體，其中該源極或汲極係為一金屬層。

14. 如申請專利範圍第11項所述之薄膜電晶體，其中該第一導電層係為閘極。

15. 如申請專利範圍第11項所述之薄膜電晶體，其中該源極與汲極區包括一第二導電層與一歐姆接觸層，該第二導電層設於該保護層下，而該歐姆接觸層設置於該非晶矽層與該第二導電層之間，使該第二導電層經由該歐姆接觸層與該非晶矽層電性連接。

16. 一種薄膜電晶體，置於一基板上，該薄膜電晶體至少包含：

一位於該基材之第一堆疊結構與一第二堆疊結構，該第一堆疊結構係由該第一導電層、該絕緣層與該非晶矽層所組成，該第二堆疊結構係至少由該第一導電層所組成；

一負光阻層，該負光阻層係分布於該第一堆疊結構與該第二堆疊結構之間；

一源極與汲極，其係位於該負型感光層、該第二堆疊層之上；

一保護層，其係位於該非晶矽層與部份該源極或汲極之上；以及



六、申請專利範圍

一透明電極層，其係於該源極或汲極之上，且覆蓋部分該保護層，並與該源極或汲極電性連接。

17. 如申請專利範圍第16項所述之薄膜電晶體，其中該第一堆疊結構與第二堆疊結構係圖案化於一道光罩製程中。

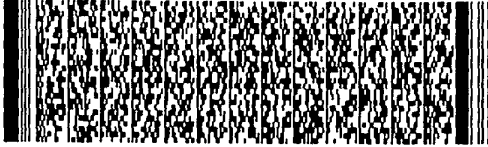
18. 如申請專利範圍第16項所述之薄膜電晶體，其中該源極或汲極係為一金屬層。

19. 如申請專利範圍第16項所述之薄膜電晶體，其中該絕緣層係為二氧化矽層。

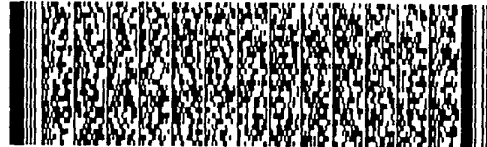
20. 如申請專利範圍第16項所述之薄膜電晶體，其中該源極與汲極包括一第二導電層與一歐姆接觸層，該第二導電層設於該保護層下，而該歐姆接觸層設置於該非晶矽層與該第二導電層之間，使該第二導電層經由該歐姆接觸層與該第一堆疊結構的非晶矽層電性連接。



第 1/17 頁



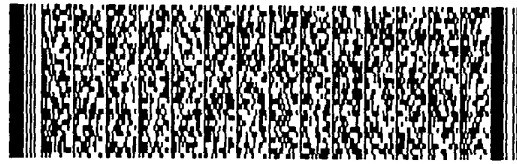
第 2/17 頁



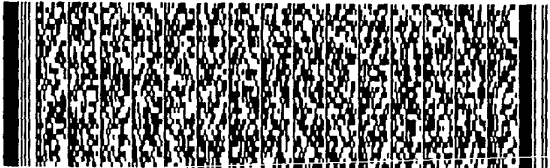
第 4/17 頁



第 4/17 頁



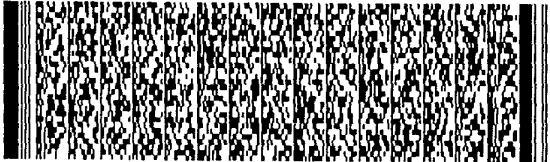
第 5/17 頁



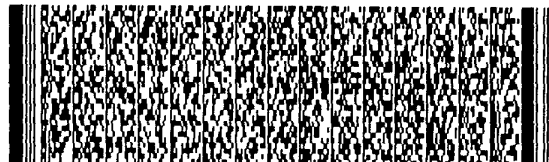
第 5/17 頁



第 6/17 頁



第 6/17 頁



第 7/17 頁



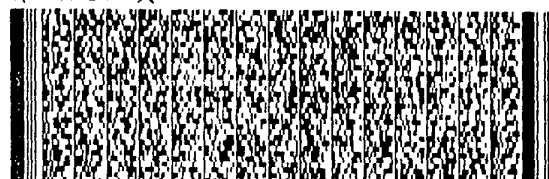
第 7/17 頁



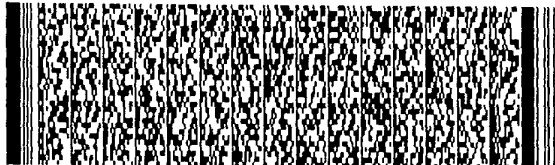
第 8/17 頁



第 8/17 頁



第 9/17 頁



第 9/17 頁



第 10/17 頁



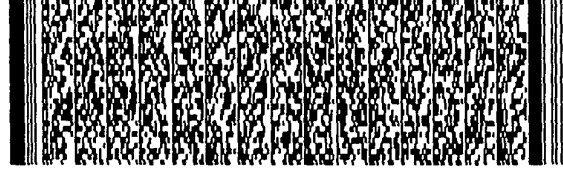
第 10/17 頁



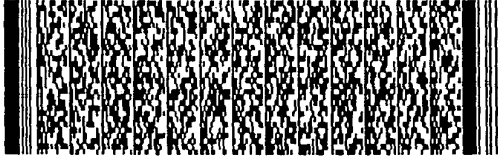
第 11/17 頁



第 12/17 頁



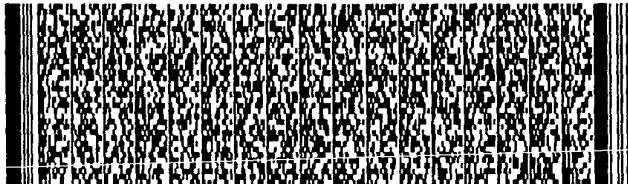
第 13/17 頁



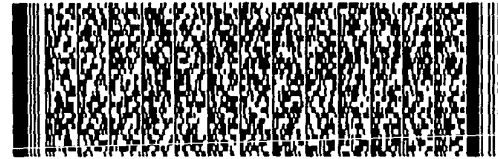
第 13/17 頁



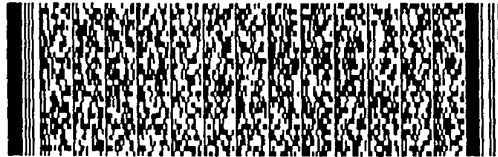
第 14/17 頁



第 15/17 頁



第 15/17 頁



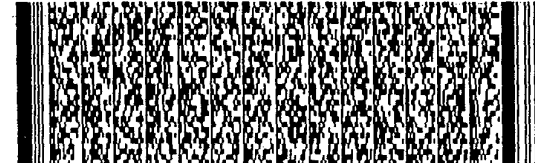
第 16/17 頁

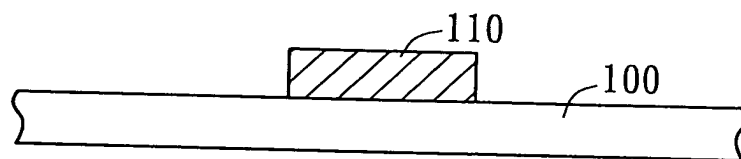


第 16/17 頁

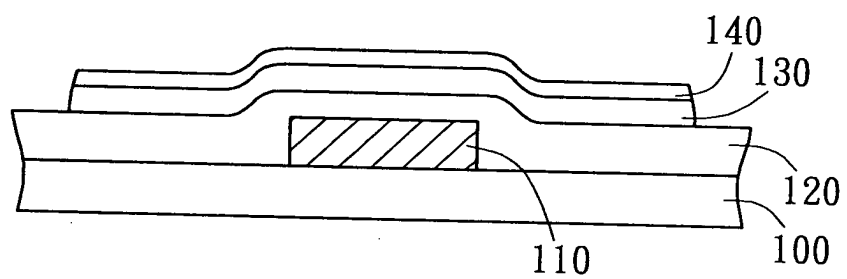


第 17/17 頁

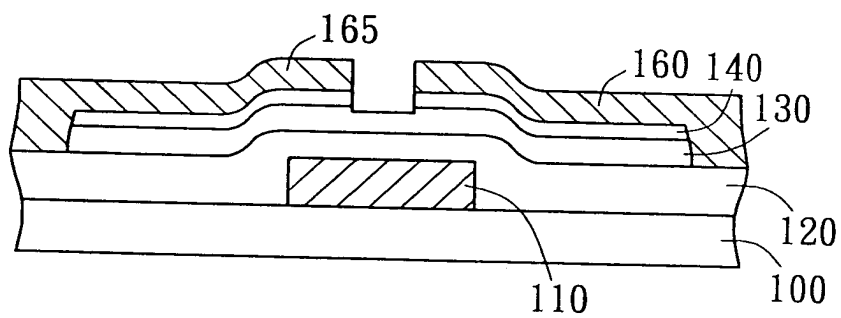




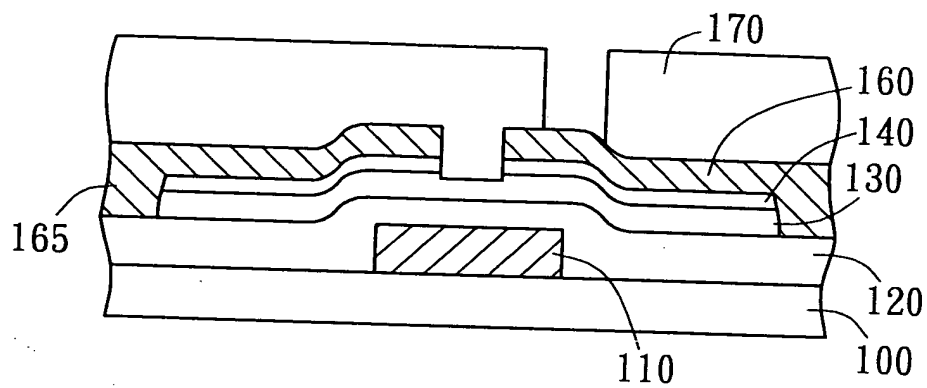
第 1 圖



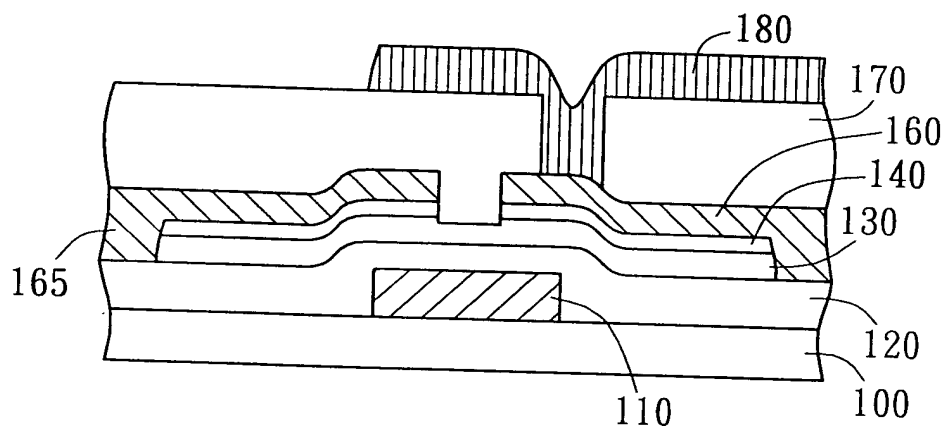
第 2 圖



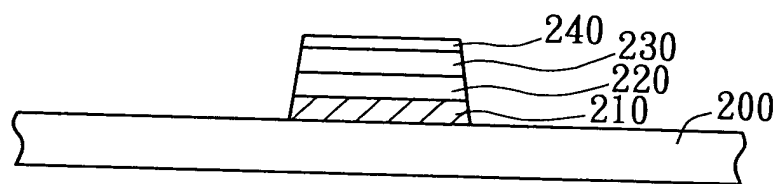
第 3 圖



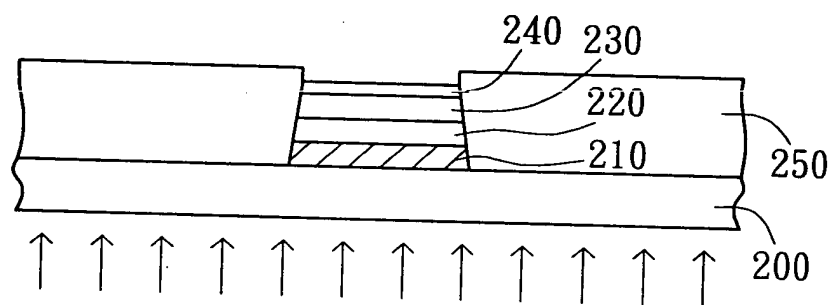
第 4 圖



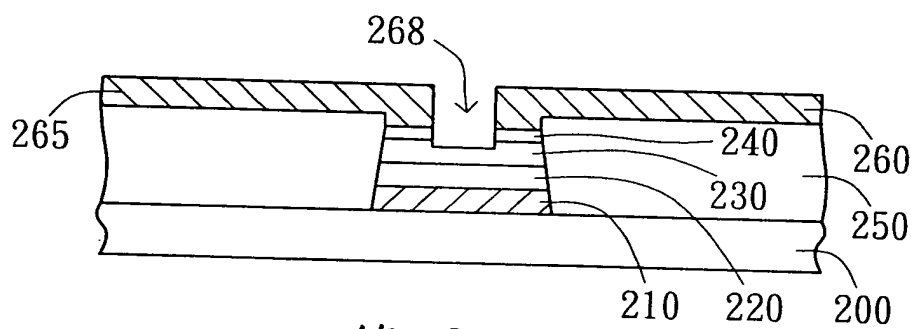
第 5 圖



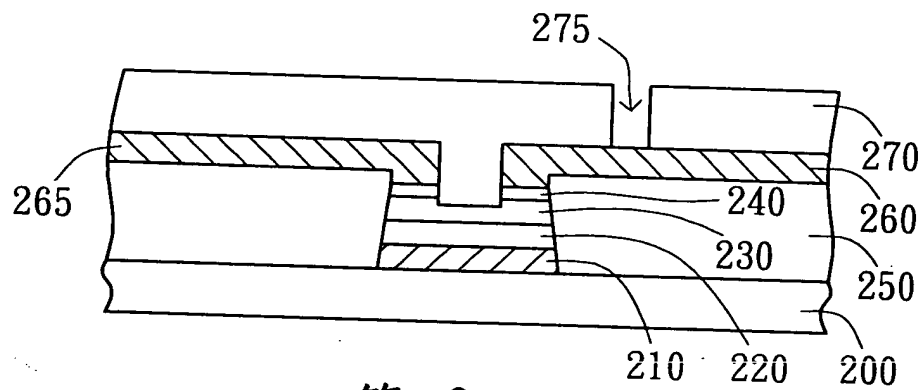
第 6 圖



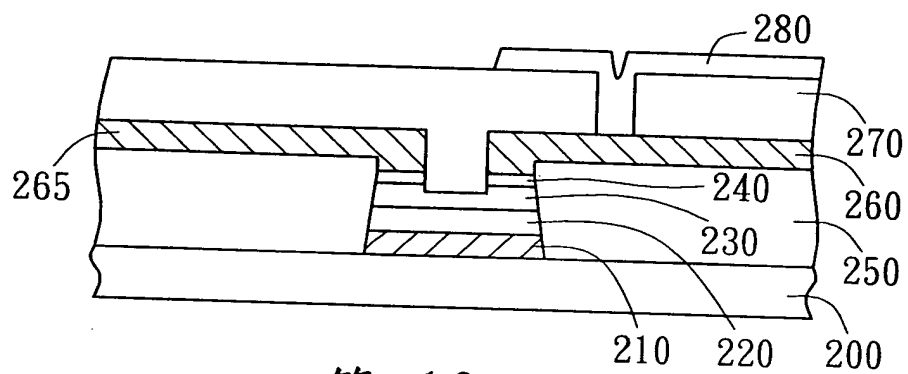
第 7 圖



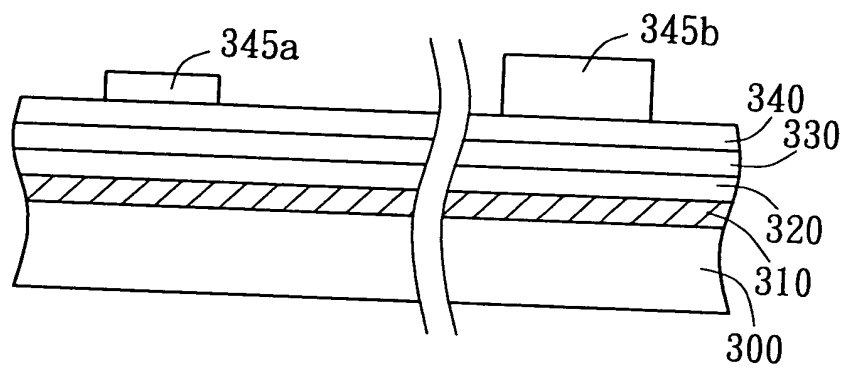
第 8 圖



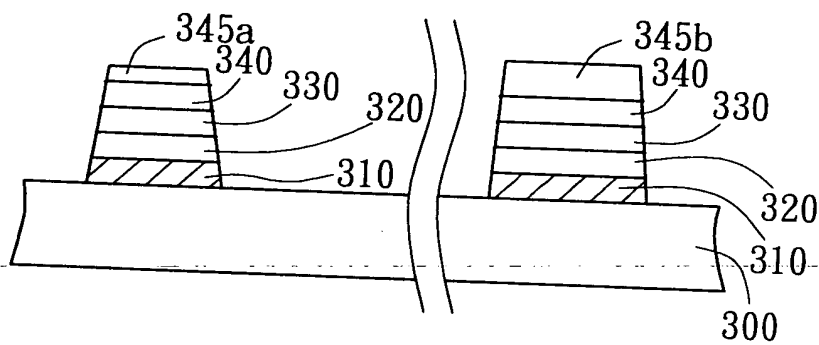
第 9 圖



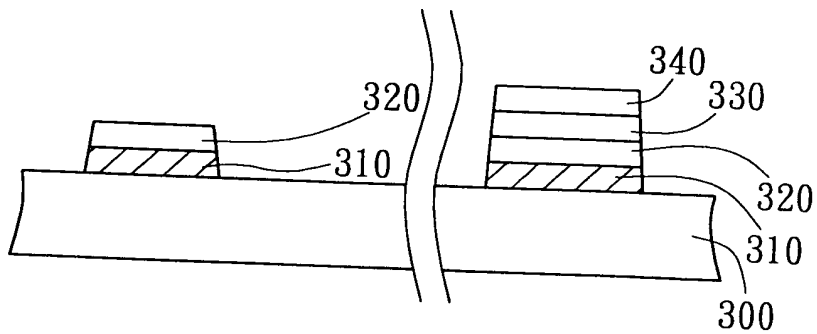
第 10 圖



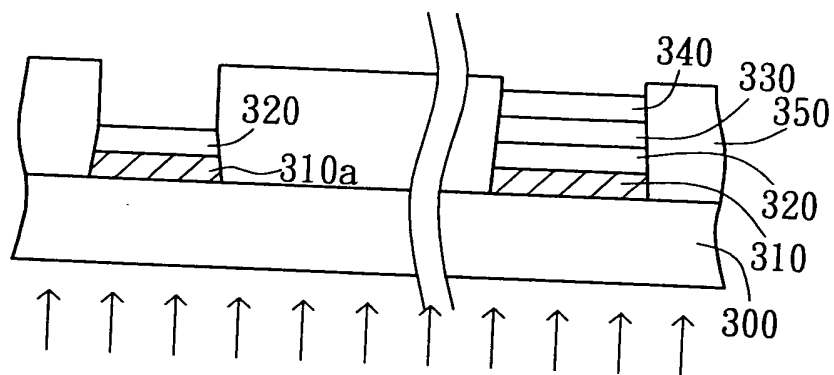
第 11 圖



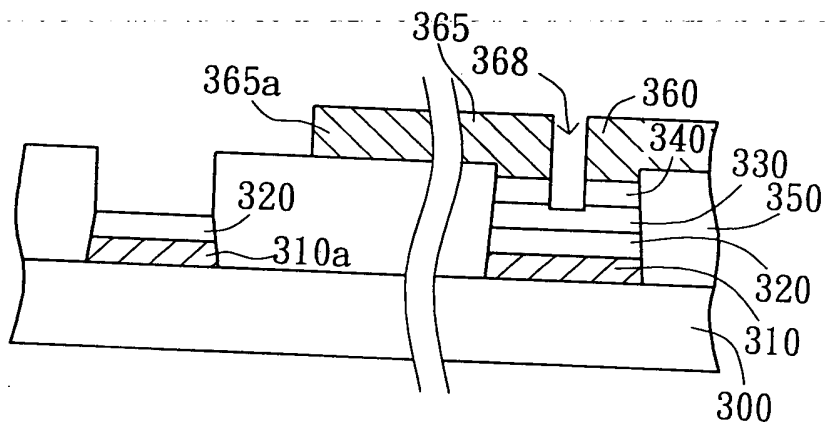
第 12 圖



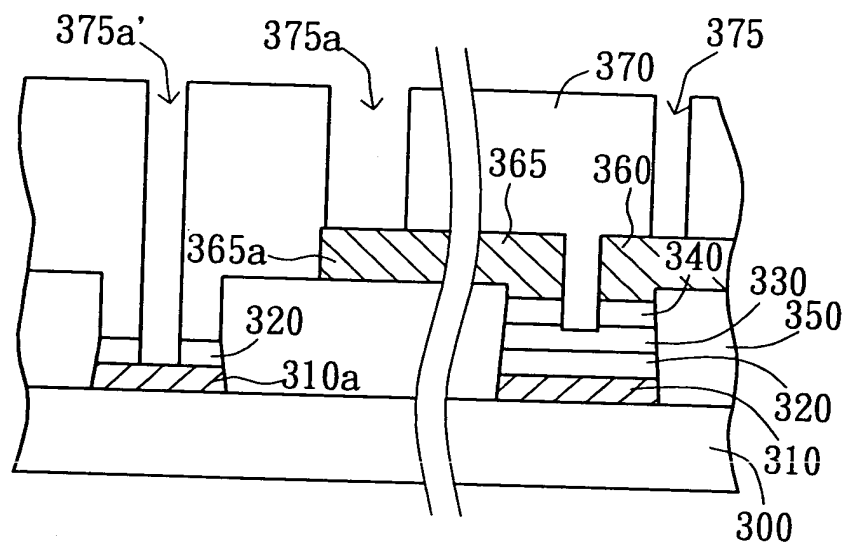
第 13 圖



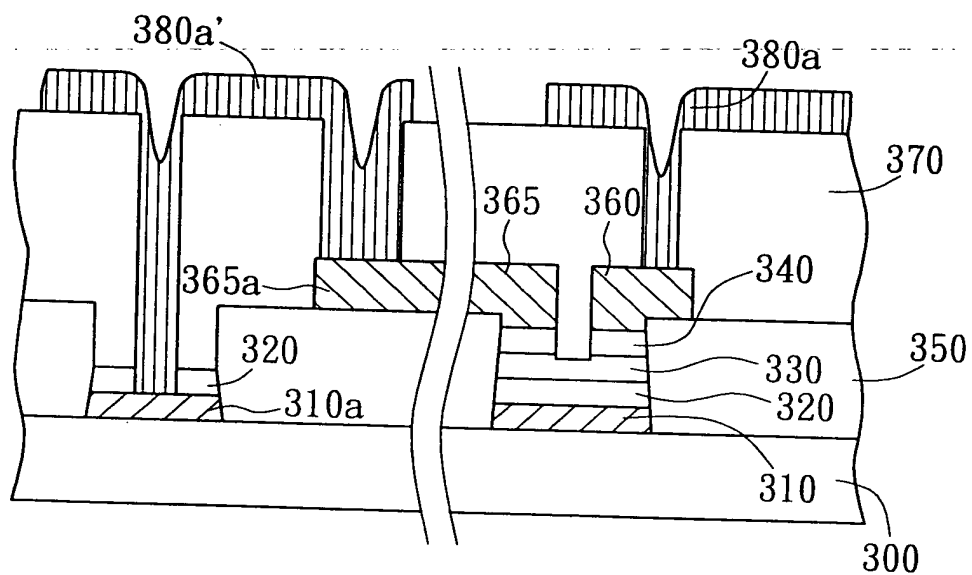
第 14 圖



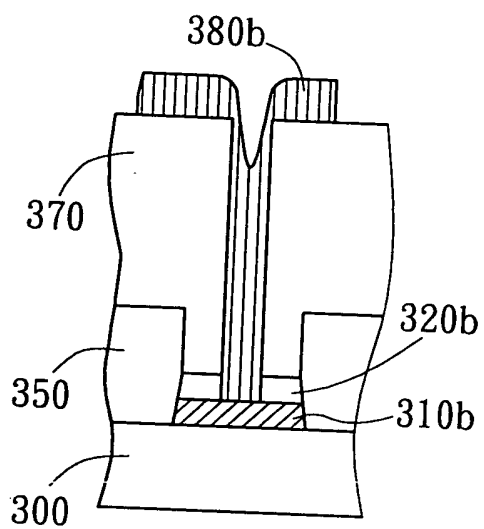
第 15 圖



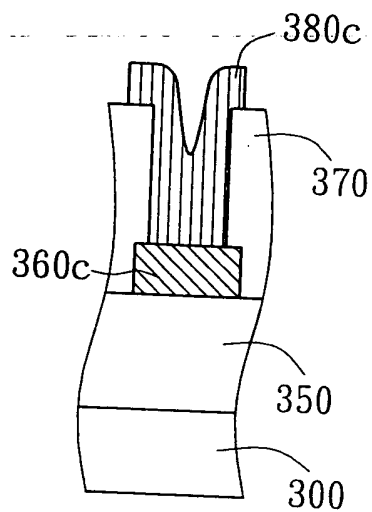
第 16 圖



第 17 圖



第 18A 圖



第 18B 圖